

## LOGIC INTEGRATED CIRCUIT DEVICE

Patent Number: JP63073169  
Publication date: 1988-04-02  
Inventor(s): HANIBUCHI TOSHIAKI  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP63073169  
Application Number: JP19860218598 19860916  
Priority Number(s):  
IPC Classification: G01R31/28 ; H03K19/00  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To decrease the number of pins by one pin, by using one pin of data input pins as a multiplex input pin at the time of normal operation, and directly connecting the shift input signal line of a shift register for circuit tests to said pin.

**CONSTITUTION:** When a test pattern is inputted into a shift register 5, the test pattern is also inputted to an inner circuit 1 through an input terminal of the circuit 1, to which a multiplex input pin 6 is connected. Since the input terminal is the input terminal of a data type, there is no problem. When the circuit 1 is tested, a clock signal at a clock input pin A is kept at L until the test results are latched in shift register latches 4a-4c. Input through a shift input terminal 7a is inhibited. At the time of normal operation, the clocks of the clock input pins A and B are always L. Therefore, input through the terminal 6a is inhibited. Even if an exclusive use pin is not provided for the shift input, there is no problem in the operation.



Data supplied from the esp@cenet database - I2

TOP

## ⑫ 公開特許公報(A)

昭63-73169

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月2日

G 01 R 31/28  
H 03 K 19/00G-7807-2G  
D-8326-5J

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 論理集積回路装置

⑮ 特 願 昭61-218598

⑯ 出 願 昭61(1986)9月16日

⑰ 発 明 者 堀 洵 敏 明 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

論理集積回路装置

## 2. 特許請求の範囲

(1) 複数の内部回路と、該内部回路と相互に接続された複数の記憶回路を含み、個々の記憶回路を直列に接続して上記内部回路のテスト用シフトレジスタを構成する論理集積回路装置において、特に、所定の内部回路の所定の入力端子が接続されている外部入力ピンと、該外部入力ピンと上記シフトレジスタのシフト入力端子とを接続したことを特徴とする論理集積回路装置。

(2) 上記内部回路の入力端子が、データ入力端子であることを特徴とする特許請求の範囲第1項記載の論理集積回路装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、論理集積回路装置に係り、特にスキャンバス方式を用いた大規模集積回路装置に関するものである。

(従来の技術)

第3図は従来のスキャンバス方式を用いた論理集積回路装置の概念を示すブロック図であり、第4図はシフトレジスタラッチ(以下SRLと略す)(4a)~(4b)の具体例を示す論理集積構成図、第5図は直列シフトレジスタ(5)の構成例を示すブロック図である。

第3図において、(1)~(3)は内部回路、(5)はSRL(4a)~(4b)によって構成される直列シフトレジスタ、(8a)~(8e)はシステム入力ピン、(9a)~(9c)はシステム出力ピンである。

第4図のSRLを用いて直列シフトレジスタ(5)の構成は以下の通りである。

第3図又は第5図において、第1段目のSRL(4a)のデータ入力端子(1)をシフト入力ピン(6a)に接続し、データ出力端子(0a)を次段のSRL(4b)のデータ入力端子(1)に接続する。以降同様に接続してゆき、最終段のSRL(4b)のデータ出力端子(0a)をシフト出力ピン(7)に接続する。各SRL(4a)~(4b)のシフト用クロック入力端子(A)。

(B) はそれぞれ共通に接続する。

なお、第3図において、クロック入力ピン(C<sub>1</sub>), (C<sub>2</sub>)はそれぞれSRL(4a)~(4d), SRL(4e)~(4h)のクロック入力端子(C)へ接続される。システム入力ピン(8a)はSRL(4d)のデータ入力端子(D)に、システム入力ピン(8b)~(8c)はそれぞれ内部回路Ⅲの入力端子に、SRL(4a)~(4c)のデータ入力端子(D)はそれぞれ内部回路Ⅲの出力端子にSRL(4a), (4b)の出力端子(Q<sub>1</sub>)はそれぞれ内部回路Ⅳの入力端子に、SRL(4c), (4d)の出力端子(Q<sub>1</sub>)はそれぞれSRL(4f), (4e)の入力端子(D)に、SRL(4g), (4h)の入力端子(D)はそれぞれ内部回路Ⅳの出力端子に、SRL(4e)~(4h)の出力端子(Q<sub>1</sub>)はそれぞれ内部回路Ⅲの入力端子に、システム出力ピン(9a)~(9c)はそれぞれ内部回路Ⅲの出力端子に接続されている。

次に動作について説明する。以下の説明において、クロック入力ピン(A), (B), (C), (C<sub>1</sub>), (C<sub>2</sub>)へ入力するクロック信号を各々(a), (b), (c), (c<sub>1</sub>), (c<sub>2</sub>)と呼ぶ。

は(c<sub>2</sub>)によって制御される単独のラッチ回路として機能し、シフトレジスタ動作モード時は、SRL全体としてクロック信号(a)及び(b)によって制御される直列シフトレジスタⅤとして機能する。

さて、システムⅡの回路テストは以下の手順で実現できる。

(i)シフトレジスタⅤのテスト：シフト入力ピン(6a)よりテストパターンを入力し、SRL(4a)~(4h)を経由してシフト出力ピンⅦでテスト結果を観測することにより、シフトレジスタⅤの正常動作を確認する。

(ii)内部回路Ⅲのテスト：システム入力ピン(8b)~(8c)にテストパターンを入力し、内部回路Ⅲのテスト結果を、クロック信号(c<sub>1</sub>)によってSRL(4a)~(4c)にラッチし、次いでシフトレジスタⅤを使用し、シフト出力ピンⅦでテスト結果を観測する。

(iii)内部回路Ⅳのテスト：内部回路Ⅳへの入力を与えるSRL(4a), (4b)に、シフト入力ピン

まず、第4図に示されるSRLⅣは、2つのモード、すなわちシステム動作モードと、シフトレジスタ動作モードを有する。システム動作モードでは、データ入力端子(D)からのデータをクロック信号(C)でラッチ回路(L<sub>1</sub>)にラッチし、データ出力端子(Q<sub>1</sub>)から出力する。このときクロック信号(a), (b)は“L”に保たれており、データ入力端子(D)からのデータは出力に関係しない。逆に、シフトレジスタ動作モードでは、クロック信号(C)は“L”に保たれており、データ入力端子(D)からのデータは出力に関係せず、データ入力端子(D)からのデータを、クロック信号(a)でラッチ回路(L<sub>1</sub>)にラッチし、データ出力端子(Q<sub>1</sub>)より出力する。次にクロック信号(b)で、ラッチ回路(L<sub>1</sub>)にラッチされているデータの内容をラッチ回路(L<sub>2</sub>)にラッチし、データ出力端子(Q<sub>2</sub>)から出力する。ただし、ここでクロック信号(a), (b)は互いに非重複である。

以上のように、第3図において、システム動作モード時は、個々のSRLはクロック信号(c<sub>1</sub>)又

(6a)よりテストパターンを入力し、内部回路Ⅳにテストパターンを入力する。テスト結果をクロック信号(c<sub>2</sub>)によってSRL(4g), (4h)にラッチし、シフトレジスタⅤを使用して、シフト出力ピンⅦでテスト結果を観測する。

(iv)内部回路Ⅳのテスト：内部回路Ⅳのテスト方法と同様であるが、テスト結果は直接システム出力ピン(9a)~(9c)で観測する。

(発明が解決しようとする問題点)

従来のスキャンバス方式を用いた論理集積回路装置は以上のように構成されているので、シフトレジスタへのシフト入力ピンがテスト専用ピンであり、通常動作時は使用しない。LSI装置では、ピン数が多いとチップサイズが増大するし、又、パッケージの問題によりピン数に制限があり、テスト専用ピンがあると他の入出力ピン数にしろ寄せがくる等の問題点があった。

この発明は上記のような問題点を解消するためになされたもので、ピン数を従来のものより1本削減したスキャンバス方式を用いた論理集積回路

装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る論理集積回路装置は、1本のピンを多重入力ピンとし、通常のデータ入力に使用すると共に、テスト用シフトレジスタのシフト入力端子にも接続したものである。

(作用)

この発明におけるシフトレジスタへの入力データは、外部からの制御信号によって選択的に取り込まれるので、多重入力ピンから通常動作時にデータを入力する場合は、上記制御信号によりこのデータはシフトレジスタに取り込まれない。

(実施例)

以下、この発明の一実施例を図について説明する。第1図において、従来回路の一例を示す第3図のシステム入力ピン(8e)とシフト入力ピン(6a)を共用の1本の多重入力ピン(6)とした。ただし、この場合のシステム入力ピン(8e)はデータ・タイプの入力ピンである。これ以外の第1図の構成は、第3図の構成と同じである。

が、第4図と同様の機能(外部からの制御信号によって記憶回路内に取り込む入力端子を選択できる機能)を有していれば、他の回路構成でも上記実施例と同様の手段により同様の効果を得る。一例を第2図に示す。

なお、もちろん、内部回路や記憶回路の数及び全体の構成が第1図と異なる場合でも、同様の効果を得る。

(発明の効果)

以上のように、この発明によれば、通常動作時のデータ入力ピンのうち1ピンを多重化ピンし、そのピンに回路テスト用シフトレジスタのシフト入力信号線を直接接続したので、回路を構成する素子数を増加させることなく、従来のものよりピン数を1ピン削減できる効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるスキャンバス方式を用いた論理集積回路装置を示すブロック図、第3図は従来の例を示すブロック図、第2図及び第4図はシフトレジスタラッチの論理構成図、

第1図において、上記のような構成をとっても、本質的な動作は従来の例である第2図と変わらないことを以下に示す。

シフトレジスタ(4)にテストパターンを入力する場合、同時に内部回路(1)にも多重入力ピン(6)が接続されている内部回路(1)の入力端子を通してテストパターンが入力されるが、この入力端子がデータ・タイプの入力端子であるので、問題とならない。

内部回路(1)をテストする場合、テスト結果がSRL(4a)~(4c)にラッチされるまでクロック信号(a)は“L”に保たれており、シフト入力端子(6a)からの入力は禁止されている。

通常動作時は、クロック(a),(b)は常に“L”であるので、シフト入力端子(6a)からの入力は禁止されている。

以上のように、シフト入力用に専用ピンを設けなくても、従来と同じ動作が得られる。

なお、上記実施例ではシフトレジスタを構成する記憶回路として第4図に示したSRLを用いた

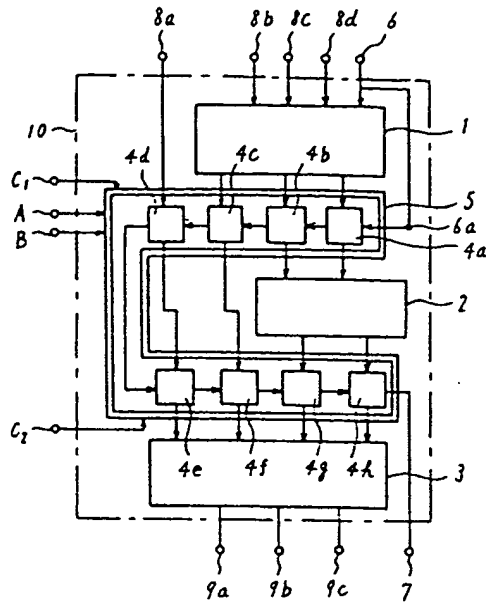
第5図はシフトレジスタの構成を示すブロック図である。

(1)~(3)は内部回路、(4a)~(4b)はシフトレジスタラッチ、(4)はシフトレジスタ、(A),(B),(C<sub>1</sub>),(C<sub>2</sub>)はクロック入力ピン、(6)は多重化ピン、(7)はシフト出力ピンである。

なお、図中、同一符号は同一、又は相当部分を示す。

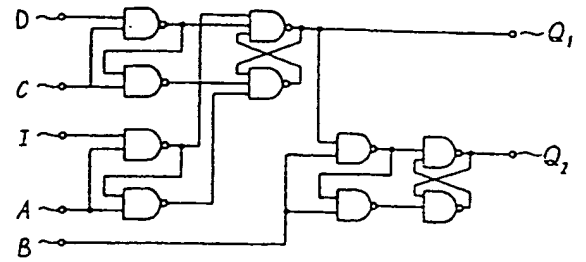
代理人 大 岩 増 雄

第1図

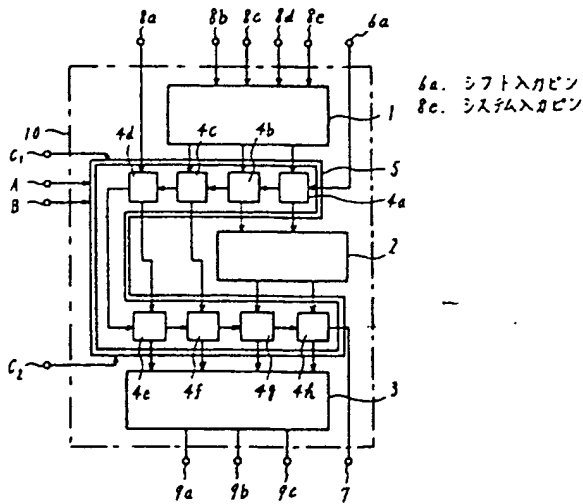


- |                        |                 |
|------------------------|-----------------|
| 1.) 内部回路               | 8a~8d. システム入力ピン |
| 2.)                    | 9a~9c. システム出力ピン |
| 3.)                    | 10. システム        |
| 4a~4l. シフトレジスタラッチ(SRL) | A.)             |
| 5. 直列シフトレジスタ           | B.)             |
| 6. 多重入力ピン              | C1.)            |
| 7. シフト出力ピン             | C2.)            |

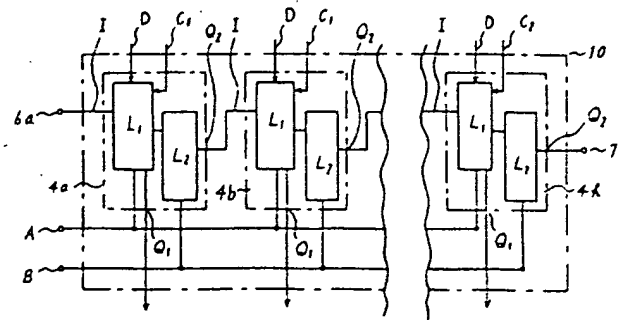
第2図



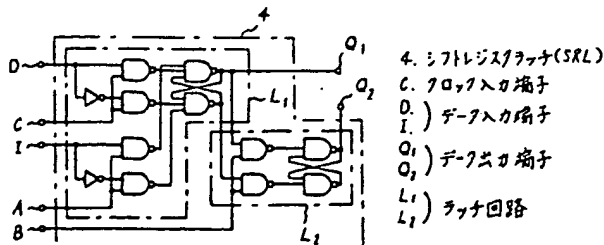
第3図



第5図



第4図



- |                    |
|--------------------|
| 4. シフトレジスタラッチ(SRL) |
| C. フロップ入力端子        |
| D. データ入力端子         |
| I. クロック入力端子        |
| Q1. データ出力端子        |
| Q2. クロック出力端子       |
| L1. ラッチ回路          |

手続補正書(自発)

昭和61年2月17日



特許庁長官殿

1. 事件の表示 特願昭61-218598号

2. 発明の名称

論理集積回路装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄及び図面

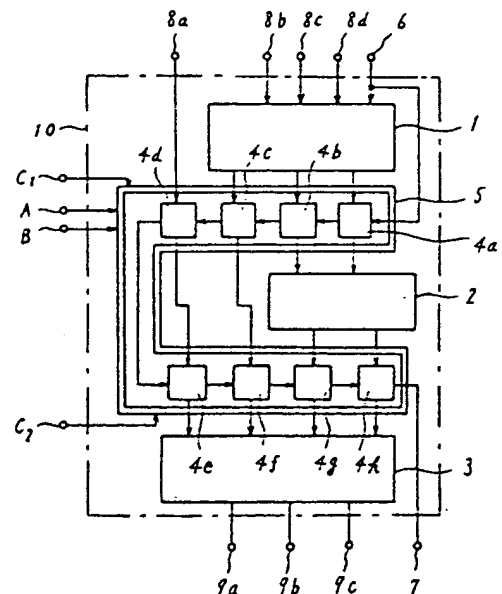
6. 補正の内容

(1)図面中、第1図及び第2図を別紙のとおり訂正する。

(2)明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
2	5	論理集積構成図	論理構成図
2	15	シフト入力ピン	シフト入力ピン
3	8	(8c)	(8e)
3	9	に SRL	に、SRL
4	5	(C)	(c)
4	9	(C)	(c)
5	14	(8c)	(8e)
8	2	第2図	第8図
9	11	多重化ピンし、	多重化ピンとし、

第 1 図



1. 内部回路  
2. 内部回路  
3. 内部回路  
4a~4h シフトレジスタラッチ(SRL)  
5. 直列シフトレジスタ  
6. シフト入力ピン  
7. シフト出力ピン  
8a~8d システム入力ピン  
9a~9c システム出力ピン  
10. システム  
A. クロック入力ピン  
B. シフト入力ピン  
C1. シフト入力ピン  
C2. シフト入力ピン

第 2 図

